

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-227549

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月12日

H 04 L 25/49

H 03 M 5/12

H 04 L 7/00

C-7345-5K

7530-5J

D-6745-5K

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 CMI復号回路

⑯ 特 願 昭59-74555

⑰ 出 願 昭59(1984)4月13日

⑱ 発 明 者 吉 開 範 章 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気  
通信研究所内  
⑱ 発 明 者 中 川 清 司 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気  
通信研究所内  
⑱ 発 明 者 山 田 順 一 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気  
通信研究所内  
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

明 細 書

1. 発明の名称

CMI復号回路

2. 特許請求の範囲

(1) 受信CMI信号を入力し、該CMI信号に同期して入力される基準クロック信号によつて入力信号を保持出力する第1のフリップフロップと、前記受信CMI信号を入力し前記基準クロック信号と反対極性の逆相クロック信号によつて保持出力する第2のフリップフロップと、前記第1のフリップフロップの出力信号を入力し前記逆相クロック信号によつて保持出力する第3のフリップフロップと、該第3のフリップフロップの出力信号と前記第2のフリップフロップの出力信号の排他的論理和を出力する排他的論理和回路とを備えたことを特徴とするCMI復号回路。

(2) 特許請求の範囲第1項記載のCMI復号回路において、前記第3のフリップフロップの出力信号と前記第2のフリップフロップの出力信号との組合せパターンが“01”であることを検出

する第1のエラー検出回路と、上記組合せパターンの“11”または“00”に対して検出1/2分周回路の出力との排他的論理和を出力する第2のエラー検出回路と、該第2のエラー検出回路の出力を微分したパルスを送延させて送延パルス出力する送延回路と、前記排他的論理和回路の出力する復号信号と前記送延パルスとを入力し復号信号が“1”であるとき前記逆相クロックを通過させるアンドゲートと、該アンドゲートの出力信号と前記第1のエラー検出回路の出力信号と前記送延パルスとの論理和を出力するオア回路と、該オア回路の出力信号が入力されるごとに出力を反転する1/2分周回路とを備えて、受信CMI信号の誤り検出を行なうことを特徴とするもの。

3. 発明の詳細な説明

発明の属する技術分野

本発明は、光ファイバ伝送方式、光データリンク等の2値信号伝送系で使用されるCMI符号と呼ばれる特別な符号則に基いて構成された伝送符号を復号するために使用されるCMI復号回路に

関する。

#### 従来技術

CMI (Coded Mark Inversion) 符号とは、第1図の状態遷移図に示すように、論理“11”、“00”、“10”の3種類の状態を情報信号系列のスペースとマークに対応させ、情報信号のマークに対しては“11”と“00”とを交互に選択し、スペースに対しては“10”を選択する符号である。すなわち、CMI符号は、情報信号系列の1ビットを2ビットに変列変換して伝送するもので、“0”連続による同期情報の喪失を防止し、また伝送路上のマーク率が1/2になる等の特徴を持っている。受信CMI信号を復号するとき、2ビットごとのブロック同期を取ることが極めて重要な課題となる。なお、同図のPは情報信号のマーク率を示す。

第2図は、従来のCMI復号回路の一例を示すブロック図で、第3図はその各部信号を示すタイムチャートである。すなわち、受信信号入力端子1から入力された第3図(A)に示すような

CMI受信信号aをD型フリップフロップ4のデータ入力端子Dに入力させ、D型フリップフロップ4は、受信CMI信号aを、伝送路クロック信号入力端子2から入力される同図(B)に示すような周波数 $2f$ の $2f$ クロックbによつて出力端子Qに出力し、出力信号cをD型フリップフロップ5のD入力に供給する。元の情報信号系列のビット周波数を $f$ 、とすると、CMI信号のビット周波数は $2f$ であり、 $2f$ クロックbは受信信号から抽出した同期情報によつて作成することができる。D型フリップフロップ4の出力端子Qの出力信号cを第3図(C)に示し、出力端子Qの出力信号dを同図(D)に示す。D型フリップフロップ5は、入力信号cを $2f$ クロックbのタイミングで読直して出力端子Qから出力する。そのQ出力eは、同図(E)に示すよう前記受信CMI信号aが2ビットシフトされた信号となる。該信号eと前記D型フリップフロップ4の出力信号cとをアンド回路7に入力させ、信号eの反転信号とD型フリップフロップ4の出力端

子Qからの出力信号dとをアンド回路8に入力させる。アンド回路7の出力信号fは、同図(F)に示すようになり、アンド回路8の出力信号gは、同図(G)に示すようになる。アンド回路7とアンド回路8の出力信号f、gをオア回路9に入力させると、オア回路9の出力信号hは同図(H)に示すようになる。該信号hをD型フリップフロップ12のD入力に入力させる。

一方、前記 $2f$ クロックbをアンドゲート10を介して1/2分周回路6に入力させ、1/2分周回路6の分周出力信号i(同図(I))を前記D型フリップフロップ12のクロック端子Cに入力させる。D型フリップフロップ12は該分周出力信号i(周波数 $f$ の $f$ パルスである)によつて前記信号hを保持し、出力端子Qに出力する。D型フリップフロップ12の出力信号jは情報信号出力端子3に出され、同図(J)に示すように、元の情報信号系列の符号に復元された復号信号となる。ここで1/2分周回路6の出力は、その初期値によつては位相が反転したパルスとなる可能性があ

り、その場合は、正常な復号動作ができないという欠点がある。このため、ブロック同期回路11を設けて、 $f$ パルスの立上りが、各ブロック(CMI符号の対となる2ビットをいう)の先頭パルスと一致するように制御する必要がある。ブロック同期回路11の出力が前記アンドゲート10に入力されたときは、アンドゲート10が閉じることにより $2f$ クロックbが1/2分周回路6に入力されないようにしてブロック同期を取っている。また、上述の従来回路は、各論理回路の動作がほとんど周波数 $2f$ の速度で行なわれるため、使用する論理IC等に高速性が要求され、消費電力が増加する等の欠点もある。

#### 発明の目的

本発明の目的は、上述の従来の欠点を解決し、大規模な同期用回路を必要とせず、かつ論理動作速度を従来の半分に低減したCMI復号回路を提供することにある。

#### 発明の構成

本発明のCMI復号回路は、受信CMI信号を

入力し、該CMI信号に同期して入力される基準クロック信号によつて入力信号を保持出力する第1のフリップフロップと、前記受信CMI信号を入力し前記基準クロック信号と反対極性の逆相クロック信号によつて保持出力する第2のフリップフロップと、前記第1のフリップフロップの出力信号を入力し前記逆相クロック信号によつて保持出力する第3のフリップフロップと、該第3のフリップフロップの出力信号と前記第2のフリップフロップの出力信号の排他的論理和を出力する排他的論理和回路とを備えたことを特徴とする。

なお、本回路を利用すれば、容易に誤り検出を行なうことが可能である。

#### 発明の実施例

次に、本発明について、図面を参照して詳細に説明する。

第4図は、本発明の一実施例を示すブロック図であり、第5図はその各部番号を示すタイムチャートである。すなわち、第5図(A)に示すような受信CMI信号Aを、受信信号入力端子1pか

ら第1のフリップフロップ8pおよび第2のフリップフロップ7pのデータ入力端子Dに入力させ、同図(B)に示すような周波数fの基準クロック信号Bを基準クロック入力端子2pから第1のフリップフロップ8pのクロック入力端子Cに入力させる。基準クロック信号Bは、受信CMI信号Aから抽出されたタイミング情報に同期して作成された周波数fのクロックであり、CMI符号のビット対の最初のビットに同期されている。これは、受信CMI信号Aがビット対の後のビットで立上ることがないためである。従つて、基準クロック信号Bは、ブロック同期の取られたクロック信号となつている。第1のフリップフロップ8pは、D型のフリップフロップであり、基準クロック信号Bの立上りでトリガされて受信CMI信号Aを読み込み、出力端子Qに出力する。第1のフリップフロップ8pの出力信号Cは、同図(C)に示すように、受信CMI信号Aを最初の1ビットから1ビットおきに読込んだ信号となる。一方、基準クロック信号Bを反転回路9pによつて反転させ

た逆相クロックを、第2のフリップフロップ7pのクロック端子Cに入力させる。第2のフリップフロップ7pは該逆相クロックの立上りごとにトリガされて受信CMI信号Aを読み込み、出力端子Qに出力する。従つて、第2のフリップフロップ7pの出力信号Dは同図(D)に示すように、受信CMI信号Aのビット対の後のビットに対応した信号となる。第1のフリップフロップ8pの出力信号Cを第3のフリップフロップ8pのデータ入力端子Dに入力させ、反転回路9pの出力する逆相クロックで第3のフリップフロップ8pをトリガすることにより、第2のフリップフロップ8pから同図(E)に示すような、第2のフリップフロップ7pの出力Dと位相を揃えた信号Eが出力される。該信号Eは、受信CMI信号Aのビット対の最初のビットの論理と同じである。従つて、排他的論理和回路4pで信号Eと信号Dの排他的論理和を取ることにより、情報出力端子3pに同図(F)に示すように受信CMI信号Aを元の情報信号系列に復元した復号信号Fを得ることができる。

本実施例は回路構成が簡単で、従来のように複雑なブロック同期回路を設ける必要がなく、また、各論理素子は、情報信号系列と同一のクロック速度で論理動作を行なうから、高速の論理素子を必要としない。従つて、回路の消費電力を低減させることが可能である。

第6図は、本発明の他の実施例を示すブロック図であり、受信CMI信号の復号は前記第4図で示した回路と全く同じ回路で行なうが、上記復号回路の復号出力および途中の信号を利用して、伝送路上で発生した誤りを検出することができる。

すなわち、端子13pを(第4図の)前記第3のフリップフロップ8pの出力に接続し、端子14pを前記第2のフリップフロップ7pの出力に接続する。また、復号信号入力端子24pを前記情報信号出力端子3pに接続し、f.クロック入力端子25pには、周波数fの、前記逆相クロック信号を入力させる。端子13pからの入力信号Jと端子14pからの入力信号Kの組合せは、“10”、“11”

または“00”であり、“01”の組合せは誤りパターンである。この組合せのときは、アンド回路15pの出力信号Mがハイレベルとなつて誤りを検出する。すなわち、アンド回路15pは第1のエラー検出回路を構成する。

また、信号Jと信号Kとの組合せパターン“11”と“00”とは交互に出現する筈であり、パターン“11”または“00”が連続したときは、誤りである。この誤りは、排他的論理和回路18pおよび17pの出力をハイレベルとし、アンド回路18pから誤り検出信号Rを出力させることによつて検出する。排他的論理和回路18pは、信号Jと1/2分周回路18pの出力信号Oとの排他的論理和を取り、排他的論理和回路17pは信号Kと1/2分周回路18pの出力信号Oとの排他的論理和を取る。排他的論理和回路18pの出力信号Pと排他的論理和回路17pの出力信号Qとが共に“1”であるときアンド回路18pの出力する誤り検出信号Rによつて上記誤りを検出する。本実施例においては、排他的論理和回路18pと排他的論

理和回路17pとアンド回路18pと1/2分周回路18pとで、第2のエラー検出回路を構成する。

1/2分周回路18pは後述するように、複号信号入力端子24pから入力される複号信号のマーク“1”ごとに反転動作することにより複号信号のマーク“1”がCMI符号の“11”によるものか、または“00”によるものかを記憶する。このために、複号信号入力端子24pから入力された複号信号と、f。クロック入力端子25pから入力される周波数f。の逆相クロックとをアンドゲート28pによつてアンドを取り、アンドゲート28pは複号信号の“1”ごとに上記クロック信号を通過させてトリガパルスLを出力する。該トリガパルスLを、オア回路20pを通して1/2分周回路18pのトリガ入力Tに印加させる。なお、誤りパターン“01”は、伝送路上で発生したランダム誤りによつて、“11”または“00”が“01”に変化したものであるから、情報信号マーク“1”が発生したものと思はれ、前記アンド回路15pの出力する“01”誤り検出信号Mを

オア回路20pを介して1/2分周回路18pに印加して、1/2分周回路18pを反転させる。さらに、パターン“11”または“00”の連続発生は、誤りであるから、このときは、もう1度1/2分周回路18pを反転させて元の状態に戻すために、誤り検出信号Rの微分パルスを遅延回路27pでほぼ3/4ビット分遅延させた遅延パルスNをオア回路20pを介して1/2分周回路18pに入力させる。これにより、1/2分周回路18pが再反転して、正常な状態と同じになる。

次に、第8図の動作を第7図のタイムチャートを参照して説明する。今、端子13pから第7図(J)に示すような信号Jが入力され、端子14pから同図(K)に示すような信号Kが入力したものとす。同図において、斜線で示した部分は、誤りパルスである。すなわち、信号Jと信号Kとが構成する2ビット目の“01”パターンと、8ビット目の“11”パターン(4ビット目の“11”パターンに連続している)とが誤りパターンである。また、同図(L)は、アンドゲート

28pの出力するトリガパルスLを示す。該トリガパルスLの6ビット目(斜線で示す)のパルスは、誤った複号信号に基づく誤りパルスである。

アンド回路15pは、上記2ビット目の“01”パターンによつて同図(M)に示すように“01”誤り検出信号Mを出力する。該“01”誤り検出信号Mは、オア回路22pを通して誤り検出信号Sとして誤り検出パルス出力端子23pに出力される。該“01”誤り検出信号Mはまた、オア回路20pを介して1/2分周回路18pに印加され、1/2分周回路18pの出力Oは、同図(O)に示すようにハイレベルに反転する。これにより同図(Q)に示すように排他的論理和回路17pの出力信号Qがハイレベルとなるが、排他的論理和回路18pの出力信号Pが同図(P)に示すようにローレベルのままであるから、アンド回路18pから誤り検出信号Rは出力されない。

第3ビット目では、排他的論理和回路18pの出力信号Pがハイレベルとなるが、排他的論理和回

路17pの出力信号Qがローレベルであるから、誤り検出信号Rは出力されない。

第4ビット目では、トリガパルスLが出力され(同図(L))、その立上りで1/2分周回路19pがトリガされて、1/2分周回路18pの出力信号Oがローレベルに反転する(同図(O))。

次に、第5ビット目では、排他的論理和回路17pの出力信号Qがハイレベルになるが、信号Pがローレベルであるから誤り検出信号Rはローレベルである。

次に、第6ビット目では、誤りの復号信号によつて第1のアンドゲート28pからトリガパルスLが出力され(同図(L))、1/2分周回路18pがトリガされる。従つて、1/2分周回路18pの出力信号Oがハイレベルに反転する(同図(O))。1/2分周回路18pの出力信号Oがハイレベルになると、信号Pがハイレベルとなり(同図(P))、信号Qはハイレベルのままとなる(同図(Q))。従つて、同図(R)に示すように誤り検出信号Rがハイレベルとなり、オア回路22p

を介して誤り検出パルスSとして端子23pに出力される(同図(S))。そして、誤り検出信号Rの立上りが微分されたパルスが遅延回路27pによつてほぼ3/4ビット時間遅延したパルスNがオア回路20pを通して1/2分周回路19pに入力され、1/2分周回路19pが再びローレベルに反転する。従つて、信号PおよびQがローレベルとなり誤り検出信号RおよびSもローレベルとなる。すなわち、誤りがなかった場合と同じ状態となる。

#### 発明の効果

以上のように、本発明においては、情報信号系列のクロック周波数の基準クロック信号によつて受信CMI信号のビット対の最初のビットを保持出力する第1のフリップフロップと、上記基準クロック信号の極性を反転させた逆相クロックによつて受信CMI信号のビット対の後のビットを保持出力する第2のフリップフロップと、前記第1のフリップフロップの出力を上記逆相クロックによつて読直す第3のフリップフロップとを設け、該第3のフリップフロップの出力信号と前記第2

のフリップフロップの出力信号との排他的論理和によつて復号信号を得るように構成したから、従来のように特別なブロック同期回路を必要とせず、また情報信号系列のクロック周波数で動作することができる。従つて、消費電力を削減し、また高速の復号回路を提供することができるという効果がある。また、本回路を利用すれば、比較的簡単な回路を付加することによつて誤りを検出することが可能である。

#### 4. 図面の簡単な説明

第1図はCMI符号の状態遷移図、第2図は従来のCMI復号回路の一例を示すブロック図、第3図は上記従来例の各部信号を示すタイムチャート、第4図は本発明の一実施例を示すブロック図、第5図は上記実施例の各部信号を示すタイムチャート、第6図は本発明の他の実施例を示すブロック図、第7図はその各部信号を示すタイムチャートである。

図において、1:受信信号入力端子、2:伝送路クロック信号入力端子、3:情報信号出力端

子、4、5、12:D型フリップフロップ、6:1/2分周回路、7、8:アンド回路、9:オア回路、10:アンドゲート、11:ブロック同期回路、1p:受信信号入力端子、2p:基準クロック入力端子、3p:情報信号出力端子、4p:排他的論理和回路、6p:第3のフリップフロップ、7p:第2のフリップフロップ、8p:第1のフリップフロップ、9p:反転回路、13p,14p:端子、15p:アンド回路、16p,17p:排他的論理和回路、18p:アンド回路、19p:1/2分周回路、20p,22p:オア回路、23p:誤り検出パルス出力端子、24p:復号信号入力端子、25p:f、クロック入力端子、26p:アンドゲート、27p:遅延回路。

出願人 日本電信電話公社

代理人 弁理士 住田俊宗

図 1

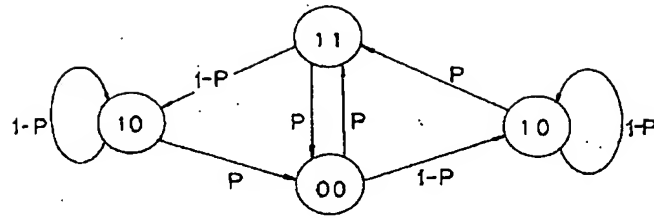


図 2

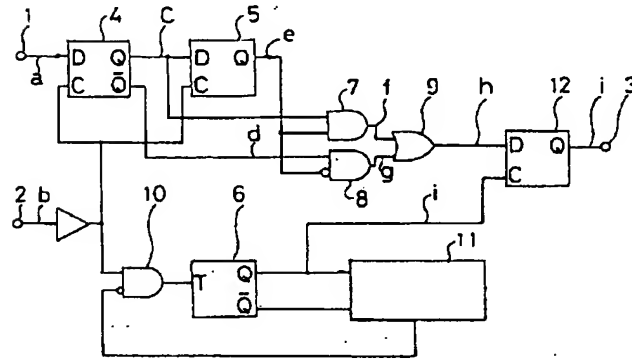
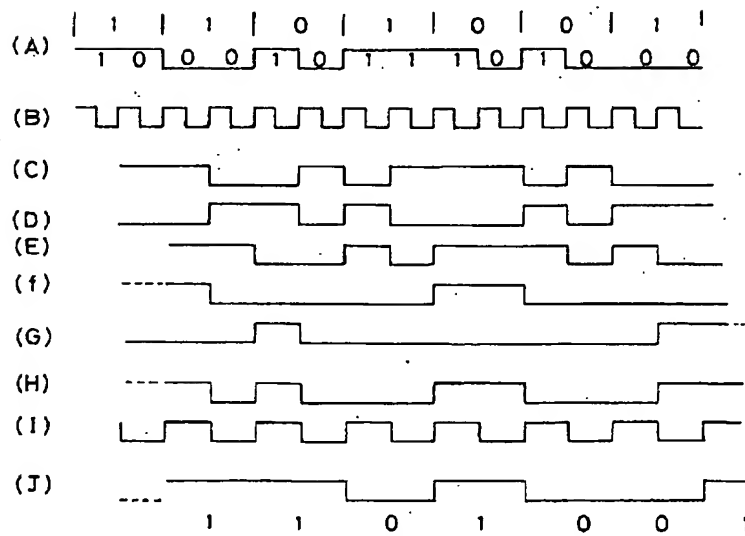
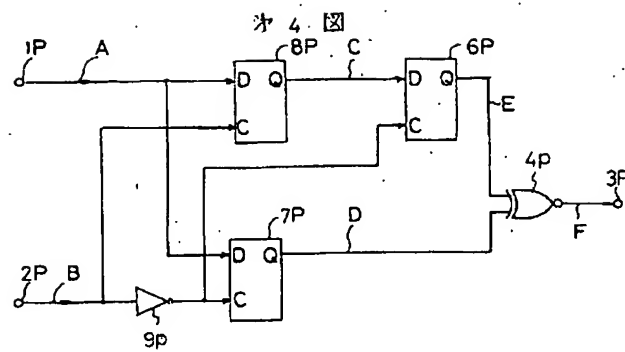


図 3





第 5 章

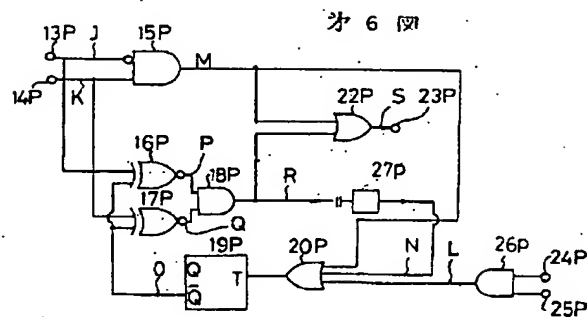
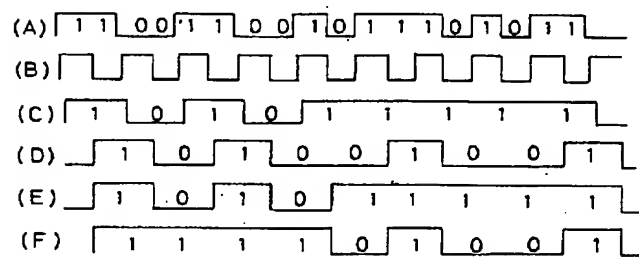
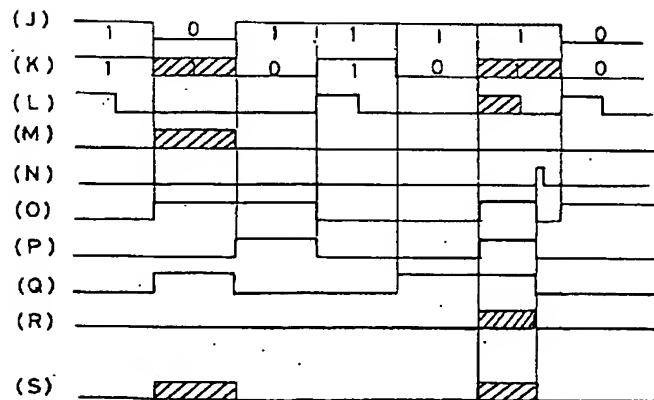


图 7 示



**THIS PAGE BLANK (USPTO)**